

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-158565

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)6月1日

H 01 L 25/065
G 06 F 9/32

3 5 0 A

9189-5B
7638-4M

H 01 L 25/08

Z※

審査請求 未請求 請求項の数 3 (全11頁)

⑮ 発明の名称 プログラム命令語長可変型計算装置及びデータ処理装置

⑯ 特 願 平2-283762

⑰ 出 願 平2(1990)10月22日

⑱ 発 明 者 塚 本 隆 志 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内
⑲ 発 明 者 阿 部 祐 之 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内
⑳ 発 明 者 薮 下 哲 男 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内
㉑ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社
㉒ 代 理 人 弁理士 山 田 稔
最終頁に続く

明 細 書

1. 発明の名称

プログラム命令語長可変型計算装置及び
データ処理装置

2. 特許請求の範囲

(1) プログラム・メモリに格納される命令の語長に対応して構成され、命令レジスタ手段、命令デコーダ手段及びタイミング・ジェネレータ手段を含む第1の半導体チップと、上記各手段を除く制御部及び演算論理部を含む第2の半導体チップとを用い、第2の半導体チップの上部に第1の半導体チップをダウンフェイス状態で積み重ね、両チップの相対向する能動面間で両チップの電気的相互接続を実現する実装構造を有することを特徴とするプログラム命令語長可変型計算装置。

(2) プログラム・メモリに格納される命令の語長に対応して構成され、命令レジスタ手段、命令デコーダ手段及びタイミング・ジェネレータ手段を含む第1の半導体チップを搭載した第1のパッケージと、上記各手段を除く制御部及び演算論理

部を含む第2の半導体チップを搭載した第2のパッケージとを用い、第2のパッケージの上部に第1のパッケージを積み重ね、両チップの電気的相互接続を実現する実装構造を有することを特徴とするプログラム命令語長可変型計算装置。

(3) 請求項第1項又は第2項に記載のプログラム命令語長可変型計算装置を用いたことを特徴とするデータ処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、2チップで中央処理ユニットを構成するプログラム命令語長可変型計算装置及びそれを用いたデータ処理装置に関する。

(従来の技術)

中央処理ユニット(CPU、MPU)は制御手段、演算論理手段(ALU)及び一時記憶手段とで構成されており、半導体技術の進展により、これらの電子要素は単一の半導体基板(モノリシック)上に集積されるようになってきた(ワンチップCPU)。制御手段、演算論理手段及び一時記

憶手段は内部並行母線（バス）によって相互に接続可能で、それらへのプログラム命令又は情報の入出は連結手段で制御される。相互接続した制御手段、演算論理手段及び一時記憶手段の単一基板への集積化は外部配線の相互接続数の減少をもたらす。半導体技術の目的に合致した、故障率の低減による信頼性の向上等に寄与している。

〔発明が解決しようとする課題〕

しかしながら、モノリシック半導体中央処理装置は当然のことながら各部の構成が固定的であり、1命令セットICPUに画一化されてしまう。従前のように、中央処理装置の各部が比較的自由に交換可能な非モノリシックの構成であれば、配線接続の煩雑さや故障率等の不利益はあるものの、プログラム命令の複数の体系の中からコンピュータ使用環境に合致する最適な体系を選択できる自由がある。半導体集積回路技術の最大の利益は多数の電子要素（素子、配線など）を同時並列的に製造できる点にあるが、中央処理装置のようなシステムの各部を機能的に大別した場合、各部は平

等の機能レベルにあるのではなく、上位レベルと下位レベルの階層構造を局部的に形成している。例えば、命令レジスタはプログラム・メモリ部からのプログラム命令を受けてこれを命令デコーダへ送出するものであり、命令デコーダはそのプログラム命令を解釈してマイクロ命令を送出するものであるが、もし命令語長を長くすると、1命令で多くの処理が可能のように多数のマイクロ命令が送出され、フェッチ回数の減少等により消費電力の低減が可能となる。逆に、命令語長を短くすると、1命令の処理が単純化する。その結果タイミングジェネレータが簡素化され、派振クロックの高速化で高速処理が可能となる。

そこで、本発明は命令語長の変更可変が比較的自由に行なえるように、命令レジスタ、命令デコーダ及びタイミング発生器を集積化した交換可能型チップ用意し、演算論理部や各種のレジスタを含む別のチップとは分離させておき、使用環境に応じた命令語長の変更が必要な場合、演算論理部や各種のレジスタを含む汎用チップと適宜の交換可能

型チップとを結合して新たな中央処理装置を比較的容易に構成可能とするプログラム命令語長可変型計算装置を提供することにある。

〔課題を解決するための手段〕

上記課題を解決するために、本発明の講じた手段は、中央処理ユニットを構成すべき演算論理部と制御部をモノリシックで集積化するのではなく、プログラム・メモリに格納される命令の語長に対応して構成され、制御部の一部を構成すべき命令レジスタ手段、命令デコーダ手段及びタイミング・ジェネレータ手段を第1の半導体チップに集積化し、残る制御部と演算論理部とを汎用的なチップとして第2の半導体チップに集積化したものである。このような2つのチップによって中央処理ユニットが構成されるが、両チップ間の電気的な配線長さ等を短縮する手段として、第2の半導体チップの上部に第1の半導体チップをダウンスフェイス状態で積み重ね、両チップの相対向する能動面間で両チップの電気的相互接続を実現する実装構造が採用される。

また、第1の半導体チップを搭載した第1のパッケージと、第2の半導体チップを搭載した第2のパッケージとを用い、第2のパッケージの上部に第1のパッケージを積み重ね、両チップの電気的相互接続を実現する実装構造も採用される。

〔作用〕

第2の半導体チップはそのままで第1の半導体チップを別の第1のチップに代えることによって、プログラム命令の語長の変更可変が実現される。即ち、プログラム・メモリに格納する命令の語長を長く設定し、これに対応する第1のチップを第2のチップと組み合わせると、1命令フェッチで多数の演算論理処理を実行することができ、プログラム・ステップ数の削減により命令フェッチ回数の低減がもたらされ、消費電力の節約ないしバッテリーの長寿命化が達成される。逆に、プログラム・メモリに格納する命令の語長を短く設定し、これに対応する第1のチップを第2のチップと組み合わせると、タイミング・ジェネレータ手段の構成の簡素化により高速処理が達成される。

〔実施例〕

次に本発明の実施例を添付図面に基づいて説明する。

半導体チップの構成

第1図は本発明の実施例に係るプログラム命令語長可変型計算装置の半導体チップの構成を示すブロック図である。

このプログラム命令語長可変型計算装置は4ビットの汎用チップ100と交換可能型チップ200を有している。

汎用チップ100は、演算論理部(ALU)102と各種レジスタ等を含む制御部の一部とで構成されている。演算論理部102は2種類のテンポラリレジスタA104とテンポラリレジスタB106にストアされた4ビットデータ間の演算を行う。演算論理部102の演算機能は、例えば、キャリー付き加算(ADD)、キャリー無し加算(ADC)、ボロー付き減算(SUB)、ボロー無し減算(SBC)、論理積(AND)、論理和(OR)、排他的論理和(XOR)、比較(CP)、ビットテ

スト(FAN)、キャリー付き右回転(RRC)、キャリー付き左回転(RLC)、反転(NOT)などである。また演算論理部102の演算結果として4ビットすべてが「0」の場合には、Zフラグ(ゼロフラグ)108bが1にセットされる。また加算の結果キャリーが発生した場合と、減算の結果ボローが発生した場合には、Cフラグ(キャリーフラグ)108aが1にセットされる。なお、Dフラグ(デシマルフラグ)108cをセットすることにより、加減算を10進演算とする10進演算モードにすることができる。Aレジスタ110、Bレジスタ112は共に4ビットの汎用レジスタで、アキュムレータとして機能する。

プログラム・カウンタ・ブロック114は、第2図に示すように、後述するプログラム・メモリの種々のメモリエリアに対応させるために、例えば2つのレジスタと3つのカウンタとで構成されている。バンク用プログラム・カウンタ(PCB)114aはプログラム・メモリのバンク領域のアドレス指定する1ビットカウンタ、ページ用プログラ

ム・カウンタ(PCP)114bはプログラム・メモリのページ領域のアドレス指定する4ビットカウンタ、ステップ用プログラム・カウンタ(PCS)114cはワードステップをアドレス指定する8ビットカウンタである。これらの13ビットでプログラムメモリのアドレス指定が行われる。ニューバンク用ポインタ(NBP)114dは1ビットレジスタで、分岐命令により分岐する際その分岐命令の前に分岐先バンクアドレスを書き込むレジスタである。分岐命令が実行されるとき、バンク用プログラム・カウンタ114aにニューバンク用ポインタ114dの値がロードされる。またニューページ用ポインタ(NPP)114eは同様にページ部分のレジスタであり、分岐命令の前に分岐先ページアドレスを書き込むレジスタである。分岐命令が実行されたとき、ページ用プログラム・カウンタ114bにニューページ用ポインタ114eの値がロードされる。インデックスレジスタX116は4ビットのページ部分レジスタと8ビットのプリセッタブル・カウンタで構成され、最大4,096ワードまで指定可能

である。インデックスレジスタY118はインデックスレジスタX116と同一構成で、4ビットのページ部分レジスタと8ビットのプリセッタブル・カウンタで構成され、最大4,096ワードまで指定可能である。スタックポインタ120はデータメモリのスタック領域のスタックアドレスを指定する8ビットのレジスタである。レジスタポインタ122はデータメモリのレジスタ領域のアドレスを指定する4ビットレジスタである。インタラプト・コントローラ124は周辺回路より割り込み要求および内部割り込み要求に対して最大15の割り込みベクトルを発生する。そして割り込み許可・禁止はI(インタラプト)フラグ108dによって設定される。Iフラグ108dがセットされているときには、割り込みは許可され、リセットされているときには、禁止される。なお、126は4ビットのデータバスで、128は4ビットのアドレスバスを示す。交換可能型チップ200は制御部の一部を構成するインストラクション・レジスタ202、インストラクション・デコード204及びタイミング・ジ

ジェネレータ206で構成されている。

インストラクション・レジスタ202はプログラム・メモリ302内に納められているインストラクション(命令)をフェッチするレジスタである。インストラクション・デコーダ204は命令フェッチされた命令コードを解釈して複数の制御信号(マイクロ命令)を生成する。複数の制御信号としてはプログラム・カウンタ制御信号、システム制御信号、演算制御信号、レジスタ制御信号、メモリ制御信号、フラグ制御信号、スタックポインタ制御信号、RAM拡張インデックス・レジスタ制御信号等である。タイミング・ジェネレータ206は命令サイクルが異なる命令に対応して異なる複数のシステムクロックを生成する。例えばタイミング・ジェネレータ206は、第3図に示すように、システム制御信号に基づいて、システムクロック1~4を生成する。

プログラム・メモリ302(ROM)はプログラムを格納し、1ワードは12ビットで構成される。304はデータを格納する外部記録装置(RAM)

チップ数の削減により命令フェッチ回数の低減がもたらされ、消費電力の節約ないしバッテリーの長寿命化が達成される。逆に、限られた処理で高速システムを構成する場合には、命令語長を必要最小限に設定し、これに対応した交換可能型チップ200(S)を汎用チップ100と組み合わせる。この場合の交換可能型チップ200(S)におけるタイミング・ジェネレータ206の構成の商業化に及びインストラクション・デコーダ204の簡略化より高速処理が達成される。

通常、4ビットのCPUにおいては、インストラクション・デコーダ204から出力される制御信号線は約70本で、タイミング・ジェネレータ206から出力されるシステムクロック線は約40本である。本実施例は、いわばCPU(コアCPU)を一部の制御部及び演算論理部よりなる汎用チップ100と残りの制御部よりなる交換可能型チップ200で分離分割構成したものであるが、制御信号線及びシステムクロック線が拾うノイズ、信号遅延の問題に対して配慮した実装構造を採用する必要

と周辺入出力装置を示す。306は発振器である。

交換可能型チップ200においては、プログラム・メモリから読み出された命令を一時保持するインストラクション・レジスタ202のビット長、インストラクション・デコーダ204の命令コードの解釈による複数の制御信号、またタイミング・ジェネレータ206のシステムクロックは、プログラム・メモリに格納されるプログラムの命令セット(命令レパートリ)によって様々である。しかしながら、汎用チップ100はある程度異なる命令セットの場合にも内部構成は不変である。したがって、使用環境に応じて命令セットの異なる交換可能型チップ200を選択使用することが可能となる。ポータブルの計算装置等のように、バッテリーの消費電力の節約を図る目的では、プログラム・メモリに格納する命令の語長を長く設定し、これに対応する交換可能型チップ200(L)を汎用チップ100と組み合わせる。これによれば、1命令フェッチで複数の演算論理処理を実行可能な多数の命令を持つ命令セットを構成でき、プログラム・ス

がある。

実装構造

第4図(A)は本実施例に係るプログラム命令語長可変型計算装置に適用される第1の実装構造を示す断面図である。

汎用チップ100は印刷配線板1上に固定されており、この汎用チップ100上には交換可能型チップ200が積み重ねられている。汎用チップ100の一表面に配列されたパッドは、第4図(B)に示すように、角形のチップの4辺に沿って右回り順に整列した外部接続用パッド130a~130xと、これらの内側で右回り順に整列したチップ間相互接続用パッド132a~132pとからなる。また交換可能型チップ200の一表面のパッド232a~232pは、第4図(C)に示すように、角形のチップの4辺に沿って右回り順に配列されている。パッド232a~232pは汎用チップ100のチップ間相互接続用パッド132a~132pに対応して重ね合わさるようレイアウトされている。

印刷配線板1に固定された汎用チップ100の外

部接続用パッド130a~130xはボンディング・ワイヤ2を介して印刷配線2。に接続されている。印刷配線2。にはデータバス126, アドレスバス128が含まれる。汎用チップ100上に積み重ねられる交換可能型チップ200は能動面(表面)を逆さにされており、汎用チップ100の能動面(表面)に向かい合っている。交換可能型チップ200のパッド232a~232pと汎用チップ100の対応するチップ間相互接続用パッド132a~132pとは銀ペースト2を介して接続されている。銀ペースト2として熱硬化型の銀ペーストを使用すると、十分な接合強度を得ることができる。交換可能型チップ200で生成される各種制御信号のうち、メモリ制御信号のような汎用チップ100で使用されない信号も相接合したパッドを介して一旦汎用チップ100側へ引き渡され、汎用チップ100内の配線を経由して外部接続用パッド、ボンディング・ワイヤから印刷配線へ送られる。またオシレータ306からの発振クロックなどは印刷配線、ボンディング・ワイヤ、汎用チップ100の外部接続用パッド、汎用チ

ップ100内の配線、チップ間相互接続用パッドを経由して交換可能型チップ200内へ導入される。汎用チップ100及び交換可能型チップ200並びにボンディング・ワイヤ2を保護するために、これらは樹脂モールド材3で被覆されている。

銀ペースト2の代わりに、第5図に示す如く、膜厚方向のみに導通する異方性導電物質9を汎用チップ100と交換可能型チップ200との隙間に介在させると、対応するパッド同士の導通がとれる。

チップ100, 200間で取り取りされる信号の配線距離が長いと、配線抵抗や配線容量が増し、動作スピードの低下を招いてしまうが、上記実装構造のうように、2つのチップの能動面を合わせて対応するパッド同士を接合した構造では、短距離接続であることから、配線抵抗及び配線容量の増加を抑制できる。また交換可能型チップ200が汎用チップ100の上に固定される構造であるから、使用環境に応じた計算装置を製造する場合、既に汎用チップ100が印刷配線板1に搭載された半製品とシリーズの中から新たに選択された交換可能型

チップを組み合わせることより新たなニーズに迅速に対応することができる。

第6図(A)は本実施例に係るプログラム命令語長可変型計算装置に適用される第2の実装構造を示す平面図、第6図(B)は第6図(A)中のVIb-VIb'線に沿って切断した切断矢視図、第6図(C)は第6図(A)中のVIc-VIc'線に沿って切断した切断矢視図である。

この実装構造においては、印刷配線板1上に固定された汎用チップ100とその上に積み上げられた交換可能型チップ200との相互結線のために、フレキシブル印刷配線板(FPC)4が利用されている。汎用チップ100のパッド140₁~140₂は角形チップの4辺に沿って所定ピッチで配列されている。また交換可能型チップ200のパッド240₁~240₂も汎用チップ100よりも小さい角形チップの4辺に沿って所定ピッチで配列されている。

汎用チップ100のパッドと印刷配線板1の印刷配線2。との接続は、第6図(C)に示すように、フレキシブル印刷配線板4の印刷配線L。の基端

を印刷配線板1の印刷配線2。に導電接触させると共に、その先端をパンプ5を用いて汎用チップ100のパッドに固着する。また交換可能型チップ200のパッドと汎用チップ100のパッドとの接続は、第6図(B)に示すように、フレキシブル印刷配線板4の印刷配線L。の先端をパンプ6を用いて交換可能型チップ200のパッドに固着すると共に、印刷配線L。の先端より基部側をパンプ7を用いて汎用チップ100のパッドに固着する。汎用チップ100と交換可能型チップ200との接続を図る印刷配線L。は印刷配線板1の印刷配線2。の手前で切れており、裏打ちのフレキシブル樹脂4aに支持されている。交換可能型チップ200はフレキシブル印刷配線板4の印刷配線L。で実装過程では一旦宙吊り支持されているが、補強及び保護のため、汎用チップ100も含めて樹脂モールド材3の被覆で強固に固定されている。

実装手順を説明すると、最初に印刷配線板1上に汎用チップ100とフレキシブル印刷配線板4とをアライメントし、フレキシブル印刷配線板4の

印刷配線 L_1 の先端と汎用チップ100のパッドとをギャングボンディングで接続する。次に、交換可能型チップ200とフレキシブル印刷配線板4とをアライメントし、交換可能型チップ200のパッドとフレキシブル印刷配線板4の印刷配線 L_2 とをリフロー法により接続する。この際、予め交換可能型チップ200のパッド上には半田によるバンプ6を形成しておく。この後、印刷配線 L_1 の基端と印刷配線 L_2 とを接続する。そして最後に、樹脂モールド材3を塗布して補強する。

この実装構造においては、交換可能型チップ200と汎用チップ100との電気的接続がフレキシブル印刷配線板4の印刷配線 L_2 を以て達成されており、実質的な接続配線長さは両者のパッドのズレ Δx である。このズレ Δx は最大チップ長の半分の長さ程度であるが、第4図に示す実装構造の場合に比して余分に寄生している。しかしながら、第4図に示す実装構造を採用する場合においては、汎用チップ100のチップ間相互接続用パッド132a~132pと交換可能型チップ200の232a~232p

スルーホール・メッキ配線17aはピン18bの基部に接続している。したがって、ピン18bは汎用チップ100に電気的に接続している。なお、汎用チップ100の上部はリッド19で覆われている。上部PGAパッケージ20も3枚のセラミック板22, 24, 26を積層して構成され、ピン28a~28nが最下層のセラミック板22に植設されている。また中層のセラミック板24の略中央に形成されたチップ収容空間24aには交換可能型チップ200が固着されている。中層と上層の基板間には金配線パターン24b, 24c等が形成されており、交換可能型チップ200のパッドとこれらの金配線パターン24b, 24cとはボンディング・ワイヤ25a, 25bで接続されている。例えば、金配線パターン24bはスルーホールメッキ配線27aを介してピン28aに接続され、また金配線パターン24cはスルーホールメッキ配線27bを介してピン28nに接続されている。下部PGAパッケージ10の上層セラミック板16上にはソケット30a~30nが固定されており、これらのソケット30a~30nには上部PGAパッケージ20の

2pのレイアウトを一致させておく必要があるが、第6図に示す実装構造を採用する場合には、両者のパッド配置は相互に、また比較的自由に設定できる。

第7図は本実施例に係るプログラム命令語長可変型計算装置に適用される第3の実装構造を示す断面図、第8図は同実装構造の分解斜視図である。

この実装構造はピン・グリット・アレイ(PGA)パッケージ10にPGA20とを積み上げた構造である。下部PGAパッケージ10は3枚のセラミック板12, 14, 16を積層して構成され、ピン18a~18xが最下層のセラミック板12に植設されている。中層のセラミック板14の略中央に形成されたチップ収容空間14aには汎用チップ100が固着されている。中層と上層の基板間には金配線パターン14b, 14c等が形成されており、汎用チップ100のパッドとこれらの金配線パターン14b, 14cとはボンディング・ワイヤ15a, 15bで接続されている。例えば、金配線パターン14bの一端はスルーホール・メッキ配線17aを接続しており、このスルー

ホール・メッキ配線17aはピン18bの基部に接続している。したがって、ピン18bは汎用チップ100に電気的に接続している。なお、汎用チップ100の上部はリッド19で覆われている。上部PGAパッケージ20も3枚のセラミック板22, 24, 26を積層して構成され、ピン28a~28nが最下層のセラミック板22に植設されている。また中層のセラミック板24の略中央に形成されたチップ収容空間24aには交換可能型チップ200が固着されている。中層と上層の基板間には金配線パターン24b, 24c等が形成されており、交換可能型チップ200のパッドとこれらの金配線パターン24b, 24cとはボンディング・ワイヤ25a, 25bで接続されている。例えば、金配線パターン24bはスルーホールメッキ配線27aを介してピン28aに接続され、また金配線パターン24cはスルーホールメッキ配線27bを介してピン28nに接続されている。下部PGAパッケージ10の上層セラミック板16上にはソケット30a~30nが固定されており、これらのソケット30a~30nには上部PGAパッケージ20の

ピン28a~28nが挿入されている。例えば、ソケット30aはスルーホールメッキ配線17bを介してピン18aに接続され、ピン18aは交換可能型チップ200に電気的に接続している。また一例として、ソケット30nはスルーホールメッキ配線17cを介して金配線パターン14cに接続され、交換可能型チップ200と汎用チップ100との電気的接続が達成されている。なお、交換可能型チップ200の上部はリッド29で覆われている。

このような下部PGAパッケージ10上に上部PGAパッケージ20を積み上げた構造においては、前述した第1及び第2の実装構造と比較すると、汎用チップ100と交換可能型チップ200が独立したPGAパッケージに収納されており、交換可能型チップ200のみに対する信号の出入りは汎用チップ100内の配線を経由せずに、パッケージ内のスルーホールメッキ配線17b, 27aを介して行われる。したがって、汎用チップ100内には交換可能型チップ200専用の中継配線の形成が不要である。この実装構造によれば、実装部品の点数を増大を

もたりますが、上部PGAパッケージ20のピン28a～28nを下部PGAパッケージ10のソケット30a～30nへ挿入する操作だけで、使用環境に適合した新たな計算装置を簡単に実現できるので、ユーザー側における使い勝手が増大する。汎用チップ100と交換可能型チップ200との電気的接続の配線長は両PGAパッケージを横隣接させた場合に比してピンの高さ程度短い。

第9図は本実施例に係るプログラム命令語長可変型計算装置に適用される第4の実装構造を示す断面図、第10図は同実装構造の分解斜視図である。

この実装構造では、PGAパッケージ40の上にQFP(クアット・フラット・パッケージ)パッケージ50を重ね合わせた構造である。PGAパッケージ40は3枚のセラミック板42, 44, 46を積層して構成され、下層のセラミック板46にはピン48a～48xが植設されている。中層のセラミック板44のチップ収容空間44aにはダウンフェイスで汎用チップ100が固着されている。下層と中層の間、中層と上層との間、及び上層セラミック板上には

所定の配線パターンが形成されている。下層と中層の基板間には金配線パターン44b、44c等が形成されており、汎用チップ100のパッドとこれらの金配線パターン44b、44cとはボンディング・ワイヤ45a、45bで接続されている。例えば、金配線パターン44bはスルーホールメッキ配線47aを介してピン48cに接続され、また金配線パターン44cはスルーホールメッキ配線47bを介して上層の金配線パターン49aに接続されている。更に上層の金配線パターン49bはスルーホールメッキ配線47cを介してピン48aに接続されている。QFPパッケージ50は第10図に示すように交換可能型チップを有しており、各アウターリード50aはPGAパッケージ40の上層セラミック板46上の各金配線パターンに対応して接合している。この接合は半田リフロー法で実現される。なお、汎用チップ100はリッド43で覆われている。

この実施例においては、QFPパッケージ50のアウターリード50aの長さが第7図示のPGAパッケージ20のピンのそれよりも短いので、汎用チ

ップ100と交換可能型チップ200との電気的接続の配線長が第7図示の場合よりも短くなっている。したがって、2パッケージでありながら、汎用チップ100と交換可能型チップ200の相互間の配線容量及び配線抵抗を低減することができる。

〔発明の効果〕

以上説明したように、本発明は、命令語長の長短に動作上支障のない回路構成を有する汎用的な第2の半導体チップと、各命令語長の如何に対応して命令レジスタ手段、命令デコード手段及びタイミング・ジェネレータ手段が構成された代替的な第2の半導体チップとが使用され、両チップがマイクロ処理ユニット(MPU)として支障のない動作をするために、両チップ間の電気的相互接続を実現する実装構造を採用した点に特徴を有するものであるから、次の効果を奏する。

① プログラム・メモリに格納する命令の語長を長く設定し、これに対応する第1のチップを第2のチップと組み合わせると、1命令フェッチで複雑の演算論理処理を実行可能な多数の命令を持つ

命令セットを構成でき、その結果、プログラム・ステップ数の削減により命令フェッチ回数の低減がもたらされ、消費電力の節約ないしバッテリーの長寿命化が達成される。逆に、プログラム・メモリに格納する命令の語長を短く設定し、これに対応する第1のチップを第2のチップと組み合わせると、タイミング・ジェネレータ手段及び命令デコード手段の構成の簡素化により高速処理が達成される。

② 第1の半導体チップは少量多品種として、第2のチップは量産品として製造可能であることから、組合せの如何により低コストで多様な計算装置を使用環境に適合させて提供することが可能となる。

③ 従来は高速システムをワンチップ化した場合、熱の発生が問題となっていたが、本発明のように2チップ化された構成では、熱発生の問題が回避できるので、ワンチップよりも高速化が可能となる。

4. 図面の簡単な説明

第1図は本発明の実施例に係るプログラム命令語長可変型計算装置の半導体チップの構成を示すブロック図である。

第2図は同装置の汎用チップにおけるプログラム・カウンタ・ブロックの構成を示すブロック図である。

第3図は同装置の交換可能型チップにおけるタイミング・ジェネレータの生成する各種システムクロックを示すタイミングチャート図である。

第4図(A)は本実施例に係るプログラム命令語長可変型計算装置に通用される第1の実装構造を示す断面図、第4図(B)は同実装構造において使用される汎用チップを示す平面図、及び第4図(C)は同実装構造において使用される交換可能型チップを示す平面図である。

第5図は同実装構造の一部変形例を示す断面図である。

第6図(A)は本実施例に係るプログラム命令語長可変型計算装置に通用される第2の実装構造を示す平面図、第6図(B)は第6図(A)中の

VIb-VIb'線に沿って切断した切断矢視図、及び第6図(C)は第6図(A)中のVIc-VIc'線に沿って切断した切断矢視図である。

第7図は本実施例に係るプログラム命令語長可変型計算装置に通用される第3の実装構造を示す断面図である。

第8図は同実装構造の分解斜視図である。

第9図は本実施例に係るプログラム命令語長可変型計算装置に通用される第4の実装構造を示す断面図である。

第10図は同実装構造の分解斜視図である。

〔主要符号の説明〕

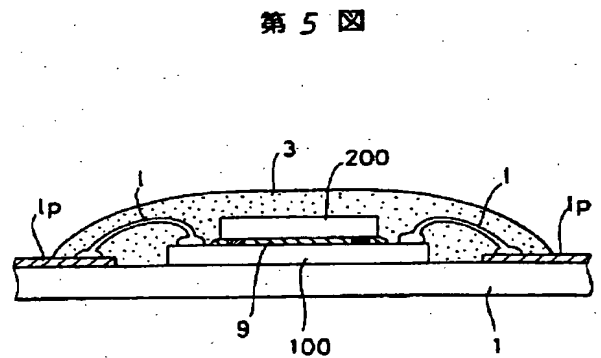
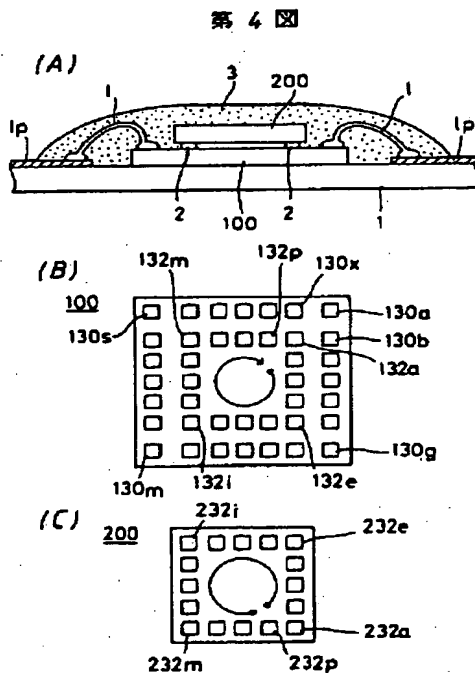
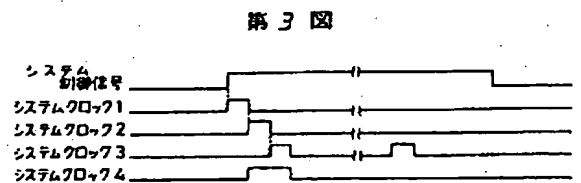
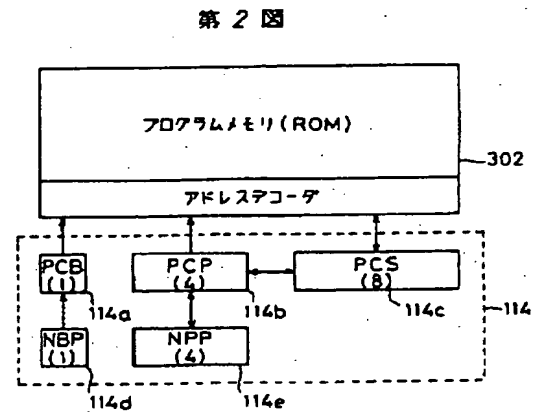
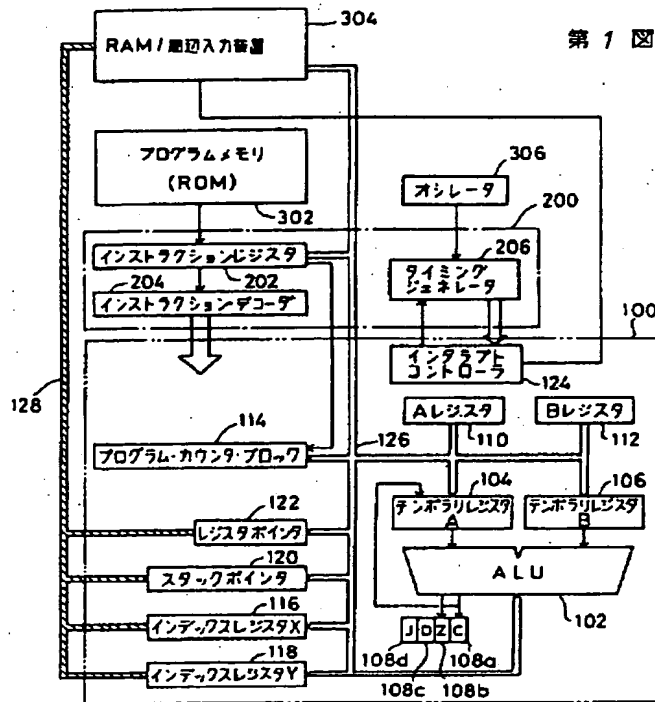
- 1…印刷配線板
- 2…銀ペースト
- 3…樹脂モールド材
- 2, …印刷配線
- 2, 15a, 15b, 25a, 25b, 45a, 45b…ボンディングワイヤ
- 4…フレキシブル印刷板

- 4a…フレキシブル樹脂
- L, L', …印刷配線
- 5, 6, 7…パンプ
- 9…異方性導電物質
- 10, 40…下部PGAパッケージ
- 12, 14, 16, 22, 24, 26, 42, 44, 46…セラミック板
- 14b, 14c, 24b, 24c, 44b, 44c, 49a, 49b…金配線
- 17a, 17b, 17c, 27a, 27b, 47a, 47b, 47c…スルーホール・メッキ
- 19, 29, 43…リッド
- 20…上部PGAパッケージ
- 30a ~ 30n…ソケット
- 50…QFPパッケージ
- 50a…アウターリード
- 100…汎用チップ
- 102…演算論理部
- 200…交換可能型チップ
- 202…インストラクション・レジスタ
- 204…インストラクション・オーダ
- 206…タイミング・ジェネレータ

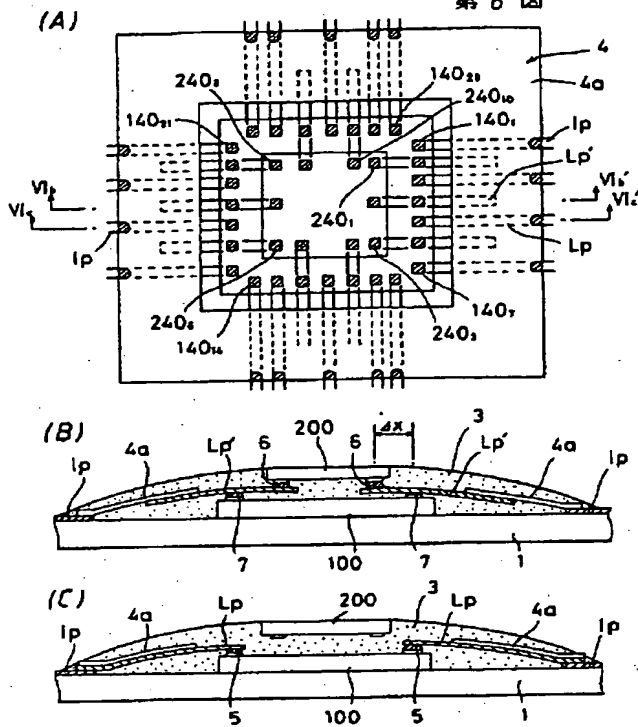
- 130a ~ 130x, 132a ~ 132p, 232a ~ 232p, 140, ~ 140a, 240, ~ 240a…パッド
- 18a ~ 18x, 28a ~ 28n, 48a ~ 48x…ピン

以上

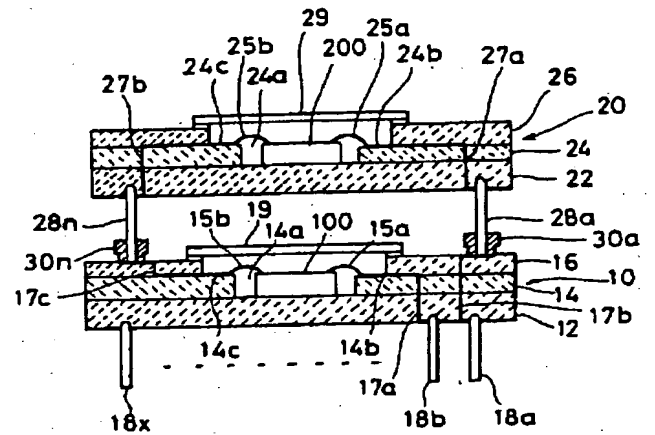
出願人 セイコーエプソン株式会社
代理人 弁理士 山田 稔



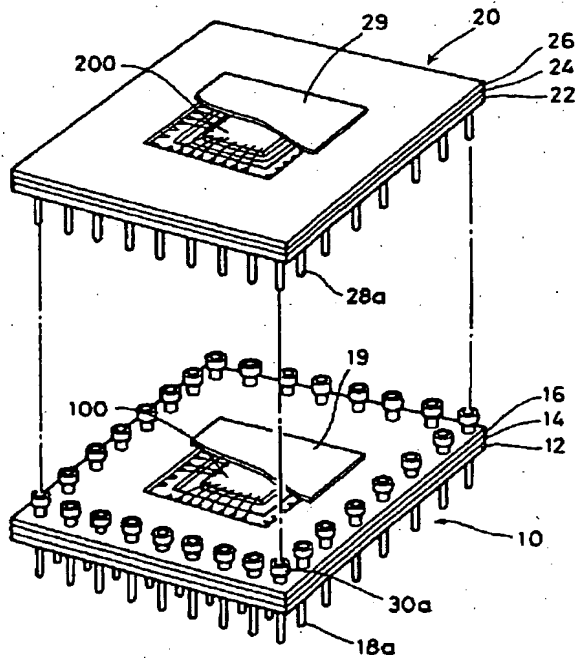
第 6 圖



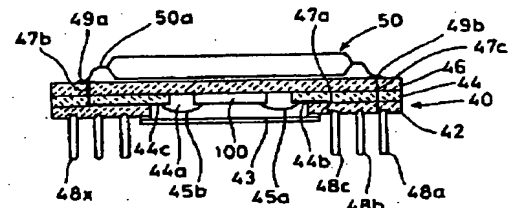
第 7 図



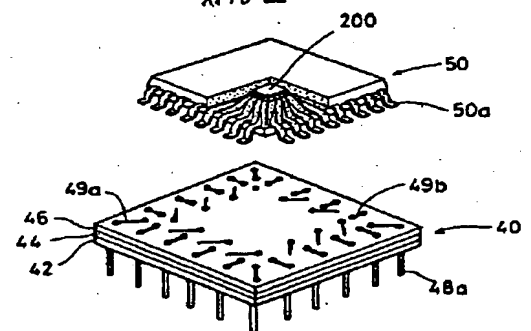
第 8 圖



第 9 図



第10圖



第1頁の続き

⑤Int. Cl.⁹

G 06 F 15/78
H 01 L 25/07
25/18

識別記号

5 1 0 Z

庁内整理番号

7530-5L

⑦発 明 者 林

義 光

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成10年(1998)12月22日

【公開番号】特開平4-158565
 【公開日】平成4年(1992)6月1日
 【年通号数】公開特許公報4-1586
 【出願番号】特願平2-283762
 【国際特許分類第6版】

H01L 25/065
 G06F 9/32 350
 15/78 510
 H01L 25/07
 25/18

【FI】

H01L 25/08 Z
 G06F 9/32 350 A
 15/78 510 Z

手続補正書

平成9年3月24日

特許庁長官 殿

1. 事件の表示 平成2年特許願第283152号
2. 発明の名称 プログラム命令語長可変型計算装置及びデータ処理装置
3. 補正をする者
 事件との関係 特許出願人
 住所 東京都新宿区西新宿2丁目4番1号
 名称 セイコーエプソン株式会社
 代表者 安川 英 明
4. 代理人
 住所 〒390 長野県松本市本庄一丁目1番17号
 よこやまビル五階
 TEL 0263(32)7931
 氏名 (8994) 弁理士 山 田 健
5. 補正命令の日付 自発
6. 補正の対象 願書に添付した明細書の発明の詳細な説明の欄、
 図面の簡単な説明の欄、及び図面第1図

7. 補正の内容

- (1) 明細書第9頁第6行目に、「タム」とある記載を、「ラム」と補正する。
- (2) 明細書第10頁第10行目に、「よりに」とある記載を、「よりの」と補正する。
- (3) 明細書第10頁第17行目に、「4」とある記載を、「8」と補正する。
- (4) 明細書第12頁第9行目に、「レポートリ」とある記載を、「レポートリ」と補正する。
- (5) 明細書第18頁第4行目に、「システム」とある記載を、「システム」と補正する。
- (6) 明細書第14頁第16行目に、「右」とある記載を、「左」と補正する。
- (7) 明細書第24頁第14行目に、「セタミック」とある記載を、「セラミック」と補正する。
- (8) 明細書第29頁第19行目に、「オーグ」とある記載を、「デコグ」と補正する。
- (9) 図面第1図を別紙の通り補正する。

以上

